

# Проектирование систем на кристалле средствами Cadence

А.А. Иванов, А.П. Рыжов

В работе приведен обзор существующего состояния одного из важных направлений современной микроэлектроники — проектирования систем на кристалле. Приведен обзор соответствующих продуктов компании Cadence Design Systems, Inc. — мирового лидера в области разработки технологий и систем автоматизированного проектирования (САПР) в микроэлектронике. Обзор будет полезен для специалистов, аспирантов и студентов, интересующихся современными задачами и средствами разработки микроэлектронных устройств.

## Введение

Проектирование систем на кристалле System-on-Chip (SoC) является передовым направлением в развитии современной микроэлектроники. К числу основных факторов, обусловивших широкое применение SoC, можно отнести следующие:

- усложнение задач обработки сигналов,
- работа устройств в режиме реального времени,
- существенное сокращение сроков выхода новых продуктов на рынок,
- снижение энергопотребления и стоимости устройств, включая стоимость прототипирования.

На рис. 1 приведена диаграмма зависимости временных затрат на разработку интегральной схемы (ИС) и ее стоимости от технологии

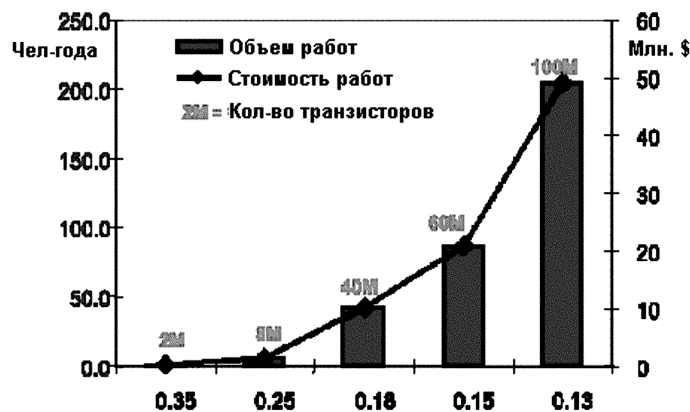


Рис. 1.

изготовления. Именно поэтому компании, разрабатывающие САПР, предлагают свои технологии, решения и системы в области SoC для производителей интегральных схем. Одним из мировых лидеров в данной области является Cadence Design Systems, Inc., клиентами которой являются такие известные производители микроэлектронных устройств, как IBM, Intel, Siemens, Philips, ATI и многие другие.

## 1. Проблемы разработки систем на кристалле

Существенное снижение временных и финансовых затрат на реализацию SoC возможно при использовании IP (Intellectual Property) ядер в проектировании. IP-блок — это разработанная ранее функция, которая пригодна для использования при создании любых полупроводниковых блоков. На рынке IP-блоков доминируют процессорные ядра, шинные интерфейсы, кодеки и др. устройства. Особо следует отметить рост сегмента программных IP-блоков. В современных SoC доля затрат на разработку программной части растет значительно быстрее доли затрат на разработку аппаратной части (рис. 2).

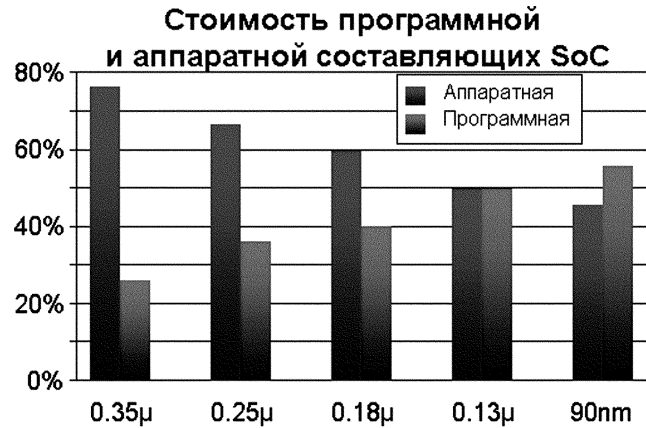


Рис. 2.

Использование IP-блоков требует комплексного решения проблем как организационных (лицензирование, развитие стандартов и библиотек IP-ядер), так и технических (разработка методологии проектирования систем на кристалле, программно-аппаратное моделирование, прототипирование, верификация и производство на базе современных технологий). Совершенно очевидно, что решение столь сложной и комплексной задачи, как проектирование SoC, невозможно без использования современных программных средств разработки и моделирования — систем автоматизированного проектирования.

Рынок САПР предлагает множество программ для реализации отдельных этапов маршрута разработки и верификации ИС, но комплексное решение по сквозному маршруту проектирования SoC под силу лишь крупным компаниям. Признанным мировым лидером в разработке средств проектирования электроники и интегральных схем является Cadence Design Systems. Именно Cadence готов предложить на сегодня наиболее интегрированное решение по разработке современных цифро-аналоговых SoC от этапа проектирования на системном уровне с использованием IP-блоков до разработки топологии ИС и выхода на производство.

## 2. Проектирование систем на кристалле: подход Cadence



Рис. 3.

Современная система на кристалле (рис. 3) может объединять программные и аппаратные средства: процессорные ядра, программируемую логику, память, интерфейсы, встроенные средства тестирования, аналоговые компоненты. Физически все эти блоки могут быть реализованы на одном кристалле, а могут включаться в систему как отдельные компоненты. В рамках методологии Cadence основной задачей является построение, верификация и оптимизация системы в целом, а проектирование входящих в нее устройств производится на основе получаемой спецификации.

Маршрут проектирования SoC от Cadence и его основные этапы показаны на рис. 4.

Можно привести следующие определения используемых понятий:

- *Системное проектирование* — построение модели системы на высоком уровне абстракции с использованием C/C++/SystemC, разбиение на программные и аппаратные модули, исследование

**Маршрут проектирования SoC**

Рис. 4.

параметров системы, получение спецификаций на программные и аппаратные блоки;

- *Аппаратное проектирование и верификация* — разработка, на основе спецификации, поведенческих моделей отдельных блоков системы с использованием языков Verilog/VHDL, сборка проекта, проверка программно-аппаратной реализации на соответствие спецификации SoC;
- *Физическое прототипирование* — реализация проекта в базе библиотек производителя ИС, предварительное размещение, оценка потребляемой мощности, планирование шин питания и иерархии клокового сигнала, качественная оценка возможных искажений сигнала;
- *Проектирование и верификация топологии кристалла* — разработка топологии заказных блоков, трассировка на уровне ячеек, проверка правил проектирования топологии, экстракция паразитных параметров.

Рассмотрим каждый из элементов маршрута проектирования.

**2.1. Системное проектирование**

Задачей системного проектирования является разработка спецификации SoC в целом, построение модели системы на высоком уровне

абстракции с определением ее программных и аппаратных частей, исследование параметров, получение спецификаций на отдельные блоки. Общий маршрут проектирования на данном этапе приведен на рис. 5.

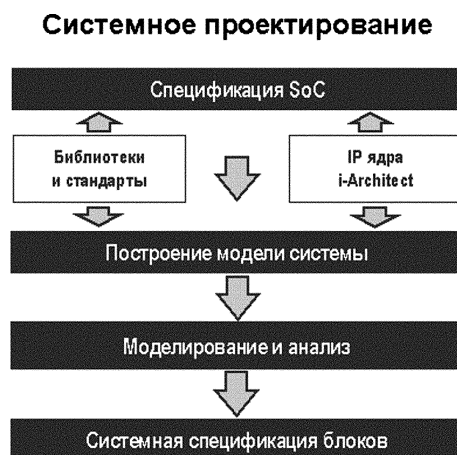


Рис. 5.

На этапе спецификации SoC определяется ее функциональные параметры и характеристики, операционная среда, необходимые стандарты и протоколы. Далее следует построение модели системы с использованием программных средств Cadence SPW2000 и i-Architect. Модель системы строится в специализированном BDE редакторе в виде иерархической блок-диаграммы на основе встроенной библиотеки блоков SPW2000 или модулей Matlab, IP-блоков, включая прямую поддержку IP ядер Xilinx, и блоков, описанных на языках C/C++/SystemC. Библиотека SPW2000 насчитывает более 3500 модулей, включая коммуникационные системы:

- CDMA (3GPP),
- CDMA2000/IS2000 (NIST),
- Модели антенн GSM – GPRS – HSCSD – EDGE,
- IEEE802.11, 11a/b, HiperLAN/2 WLAN,
- Bluetooth WPAN,

- IS-54/136, IS-95,
- Радиочастотные и радарные библиотеки,
- ADSL,
- DVB-T, ISDB-T (Digital TV Comms),
- Matrix library, Galois field и мультимедийные системы,
- MPEG 1,2 кодеки,
- Прототипирование цифровой камеры,
- Оптическая система, датчики, система компрессии,
- Беспроводная видеосистема, JPEG2000, WCDMA интерфейс,
- Проектирование NTSC кодека.

Платформа i-Architect работает с использованием интернет технологий, поддерживает различные платформы и доступ ко множеству библиотек IP-блоков, обеспечивая разработку, повторное использование IP и их интеграцию для SoC.

После разработки структуры системы проводится ее моделирование и анализ. Средства SPW2000 позволяют моделировать работу всей системы в целом или ее отдельных блоков. Моделирование может проводиться с реальными данными и сигналами. Например, возможно промоделировать передачу изображения через цифровой канал связи. На этапе моделирования проводится анализ характеристик и производительности системы, проверка архитектуры, определяются способы разрешения конфликтов, проводится оптимизация алгоритмов и протоколов. В случае необходимости, производится перераспределение программных и аппаратных средств SoC, вносятся функциональные изменения в отдельные блоки и проводится повторное моделирование.

По результатам циклов проектирования и моделирования создается детальное описание системной архитектуры, спецификации отдельных блоков и их функциональное описание на языках C/C++/SystemC. Далее следует этап программно-аппаратного проектирования, который может осуществляться независимыми группами разработчиков.

Связь SPW2000 с аппаратным уровнем проектирования осуществляется средствами HDS2000. Система HDS2000 использует формат

данных с фиксированной точкой, содержит интерфейс с аппаратными системами моделирования и позволяет осуществлять автоматическую генерацию Verilog/VHDL кодов из структурного описания с использованием библиотечных блоков. Кроме того, HDS2000 содержит библиотеки стандартных и микроархитектурных блоков, редактор автомата конечных состояний, универсальный логический анализатор для калькулятора сигналов SPW.

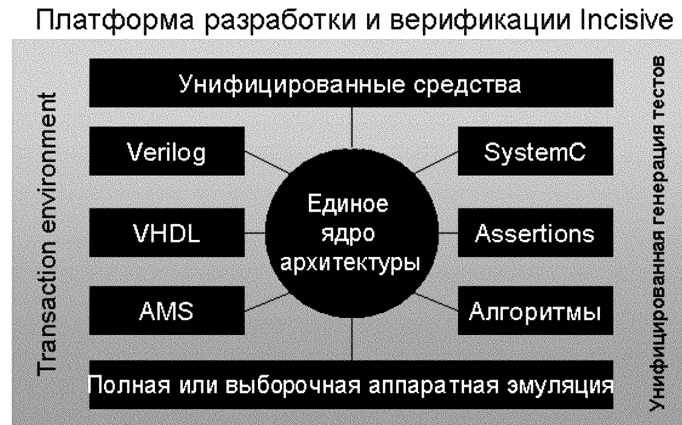
Для успешной реализации проекта необходимо проводить его верификацию по мере продвижения от системного уровня к полной аппаратной реализации. Основная проблема подобной верификации состоит в том, что моделирование на более детальном уровне представления системы требует все больших временных затрат, что может привести к резкому увеличению сроков выполнения проекта. В SPW любой из функциональных блоков системы может быть замещен его реализацией на языке HDL. Архитектура моделирования SPW дает возможность полносистемного моделирования на смешанных уровнях представления, позволяя оптимизировать рост временных затрат на верификацию постоянно усложняющегося проекта. Преимущества использования данной системы заключаются в резко возрастающей вероятности успешной реализации проекта с первого раза при сокращении числа циклов проектирования (с меньшим количеством итераций).

## 2.2. Аппаратное проектирование и верификация

Еще совсем недавно под аппаратным проектированием понималась разработка проекта на поведенческом уровне с использованием языков Verilog/VHDL. При этом, отладка осуществлялась встроенными средствами HDL языков, а верификация сложных проектов выделялась в отдельный этап проектирования и осуществлялась независимо путем прототипирования на FPGA, ASIC или специализированных аппаратных эмуляторах.

Платформа проектирования Incisive фирмы Cadence (рис. 6) предоставляет единую среду программно-аппаратного проектирования, отладки, верификации и генерации тестов для цифровых аналоговых SoC от системного уровня до уровня регистровых





передач. Единая архитектура моделирования Incisive поддерживает Verilog, VHDL, SystemC, библиотеку SCV для SystemC, и PSL/Sugar assertions. Кроме того, Incisive предоставляет всесторонние средства отладки, включающие поддержку на уровне транзакций и унифицированную генерацию тестов. В случае необходимости, архитектура Incisive может расширяться другими элементами платформы, включая выборочное ускорение, аналоговое и смешанное моделирование с элементами RF, средствами разработки и отладки алгоритмов, аппаратным ускорителем моделирования Palladium. Функциональная структура Incisive представлена на рис. 7.

Использование архитектуры Incisive позволяет в 100 раз увеличить производительность аппаратного проектирования по сравнению со стандартным маршрутом разработки на уровне RTL, на 50% сократить цикл разработки тестов и на 25% сократить время отладки.

### 2.3. Физическое прототипирование

На этапе физического прототипирования осуществляется логический синтез исходного описания проекта на языках Verilog/VHDL и создается его виртуальный прототип, используемый для аппроксимации параметров топологической реализации кристалла.

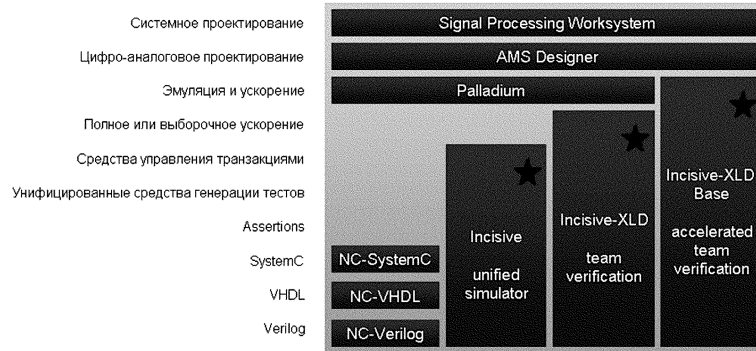


Рис. 7.

Описание проекта на поведенческом уровне на языках Verilog/VHDL обеспечивает независимость его реализации от технологии. Инструментом реализации проекта в базе библиотечных элементов производителя ИС служат средства логического синтеза BuildGates от Cadence (рис. 8).

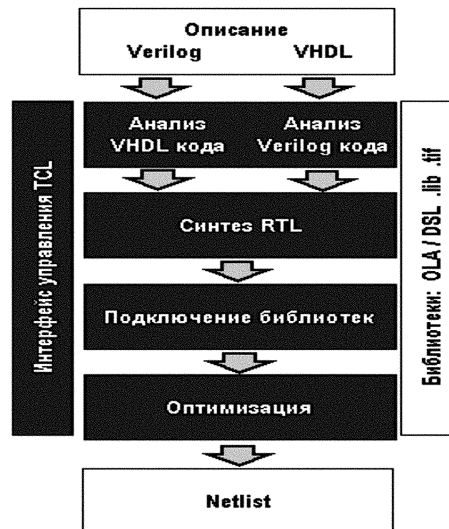


Рис. 8.

BuildGates позволяет осуществлять логический синтез с учетом физических и технологических особенностей проектируемого кристалла. В дальнейшем полученный в результате синтеза список цепей может служить входной информацией для трассировки топологии кристалла. Однако при проектировании современных SoC все большее значение приобретает этап физического прототипирования. Виртуальный прототип является представлением SoC, ASIC или отдельного блока, которое доступно до финальной топологии и содержит достаточную физическую информацию, чтобы точно оценить основные параметры системы, такие как временные характеристики, паразитные параметры, занимаемую площадь, потребляемую мощность и др. При этом виртуальный прототип должен быть достаточно точным, чтобы проектирование топологии на его основе обеспечивало реализацию в соответствии с проектными требованиями.

В результате, задача построения физического прототипа является комбинацией задач, решение которых необходимо для последующей передачи данных на физическую реализацию, где выполняются наиболее длительные по времени выполнения процедуры разработки физической топологии и ее верификации.

Весь комплекс задач по физическому прототипированию решается платформой Cadence First Encounter Ultra (рис. 9), позволяющей осуществлять:

- размещение на кристалле;
- пробную трассировку;
- быстрый анализ с 2,5D экстракцией;
- анализ задержек и временной анализ;
- анализ качества сигналов;
- физический синтез до 2-х млн. ячеек;
- средства физической оптимизации;
- автоматическое разбиение кристалла;
- присвоение пинов;
- анализ искажения сигналов средствами Celtic;
- иерархический синтез сигнала синхронизации с поддержкой нескольких доменов клока;



Рис. 9.

- планирование питания с использованием статического и динамического анализа;
- планирование сетки питания;
- интерфейсы с ведущими средствами разработки топологии;
- удобный пользовательский интерфейс.

Таким образом, Средства First Encounter Ultra позволяют осуществлять быстрое, в течении одного дня, и эффективное прототипирование сложных систем, включающих до нескольких миллионов вентилях. Его использование позволяет существенно сократить цикл проектирования топологии SoC и уменьшить затраты.

#### **2.4. Проектирование и верификация физической топологии**

Этап проектирования физической топологии ИС заключается в разработке топологии ИС и передаче ее на производство в формате

GDSII. Как правило, сложные SoC включают как цифровые, так и аналоговые блоки.

Для автоматической трассировки цифровых блоков на технологиях до 0,18 мкм традиционно использовались средства Silicon Ensemble от Cadence. Однако выход производства ИС на субмикронные технологии обусловил необходимость перехода на соответствующие средства трассировки кристаллов. Cadence предлагает современные и высокоэффективные средства NanoRoute для разработки топологии цифровых ИС на нано-технологиях 0,13 мкм и выше.

Трассировка заказных аналоговых блоков может осуществляться средствами топологического редактора CadenceVirtuoso-XL. Virtuoso имеет удобный пользовательский интерфейс, поддерживает иерархические проекты и параметризацию ячеек, легко интегрируется с ведущими средствами проектирования front-end и back-end, имеет встроенные языковые средства управления SKILL, позволяющие настроить процесс проектирования топологии под требования заказчика.

По окончании разработки топологии необходимо провести проверку на соответствие правил проектирования и произвести экстракцию паразитных параметров с учетом реального размещения элементов и проводников на кристалле. Весь комплекс проблем верификации топологии ИС может быть решен средствами Assura Cadence. Assura включает средства проверки правил проектирования (DRC), позволяет осуществить сравнение разработанной топологии со списком цепей или принципиальной схемой (LVS), произвести экстракцию паразитных параметров из топологии (RCX) и осуществить последующее моделирование с учетом экстрагируемых параметров. Средства Assura имеют удобный пользовательский интерфейс.

